

TEMA7. SISTEMAS SECUENCIALES

Los circuitos lógicos se clasifican en dos tipos:

- **Combinacionales**, aquellos cuyas salidas sólo dependen de las entradas **actuales**.
- **Secuenciales**, aquellos cuyas salidas dependen no sólo de sus entradas actuales, sino también de sus entradas **anteriores**.

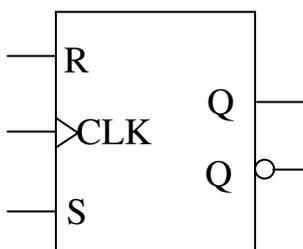
Esta “información” de las entradas anteriores, debe preservarse en el circuito y se denomina **estado interno, secundario**, o simplemente **estado, del circuito**. Es necesario distinguir el valor presente de una señal del que posea en un instante inmediatamente anterior, y éste del anterior,... Por ello habrá una intervención explícita del tiempo.

La base de los circuitos secuenciales es el **biestable**, es el dispositivo más pequeño que es capaz de memorizar la información a la que antes hacíamos referencia. Almacena el estado **0** ó el estado **1**, y por ello recibe el nombre de biestable, tienen dos estados estables de funcionamiento.

También se les suele conocer como **FLIP-FLOPS**.

Biestable RS

El biestable básico es el RS. Su símbolo lógico se muestra a continuación. Tiene dos entradas **S**(set) y **R**(reset), y tiene dos salidas complementarias Q (q_n) y \bar{Q} , tiene además una entrada **CLK**(reloj) que viene a ser una entrada de habilitación:



Modo de Operación	Entradas			Salidas	
	CLK	S	R	q_{n+1}	\bar{q}_{n+1}
Mantenimiento	1	0	0	q_n	\bar{q}_n
Reset	1	0	1	0	1
Set	1	1	0	1	0
Prohibido	1	1	1	1	1
Off	0	X	X	q_n	\bar{q}_n

q_n : estado presente

q_{n+1} : estado futuro

Biastable D (Latch)

Se trata de otro tipo de Biastable, esta vez, con una entrada **D**(*datos*) y dos salidas de estados complementarias, **Q**. Cuenta además con una entrada de **CLK**(*reloj*), que funciona como habilitador “disparando” el biastable. También puede contar con dos entradas más, conocidas por **PR** (de *preset*: reiniciar) y **CLR** (de *clear*: despejar).

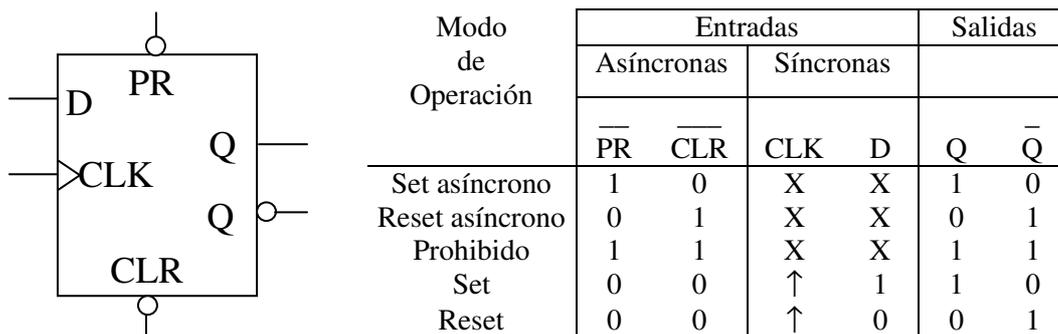
El Biastable D que aparece en la figura, puede funcionar de dos formas:

- Síncrona: usa una señal de reloj.
- Asíncrona: usa las señales PR Y CLR.

De forma síncrona lo hace de la siguiente manera: Si la transición de la señal de reloj es de bajo a alto (o sea, de 0 a 1) se traslada el dato D a la salida, se dice que el biastable ha sido disparado por la señal de reloj. Si por el contrario la transición en el pulso de reloj es de estado alto a bajo (o sea, pasa de 1 a 0) el biastable no responde.

Las entradas **PR** y **CLR** son lo que se llaman entradas asíncronas, pues independientemente de cómo esté la señal de reloj, reiniciarán (pondrán un 1 en la salida) o despejarán (pondrán un 0 en la salida) el biastable. Éste es el modo de funcionamiento asíncrono.

Un biastable como el de la figura se dice disparado por **flanco de subida**.

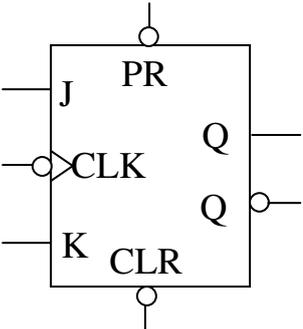


- Activo por flanco de Subida
 Activo por flanco de bajada

Biastable JK

El biastable JK puede considerarse como el biastable universal. Dispone de tres entradas síncronas **J** y **K**, para especificar la operación y **CLK**, para disparar el biastable. También consta de dos entradas asíncronas **PR** y **CLR**, y por supuesto dos salidas complementarias.

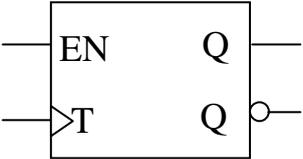
Este es su símbolo tradicional y su tabla de funcionamiento:



Modo de Operación	Entradas					Salidas	
	Asíncronas		Síncronas			Q	\bar{Q}
	\overline{PR}	\overline{CLR}	\overline{CLK}	J	K		
Set asíncrono	1	0	X	X	X	1	0
Reset asíncrono	0	1	X	X	X	0	1
Prohibido	1	1	X	X	X	1	1
Mantenimiento	0	0	↓	0	0	q_{n-1}	$\overline{q_{n-1}}$
Reset	0	0	↓	0	1	0	1
Set	0	0	↓	1	0	1	0
Conmutación	0	0	↓	1	1	$\overline{q_{n-1}}$	q_{n-1}

Biastable T

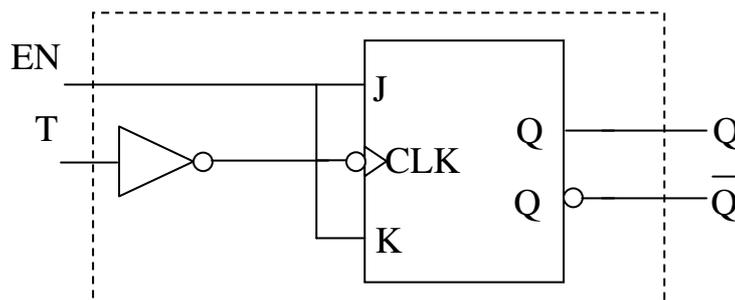
Se trata de un biastable que cambia de estado con cada pulso de reloj:



EN	T	q_{n+1}
0	0	q_n
0	1	q_n
1	0	q_n
1	1	$\overline{q_n}$

q_n : estado presente
 q_{n+1} : estado futuro

Biastable T construido con JK

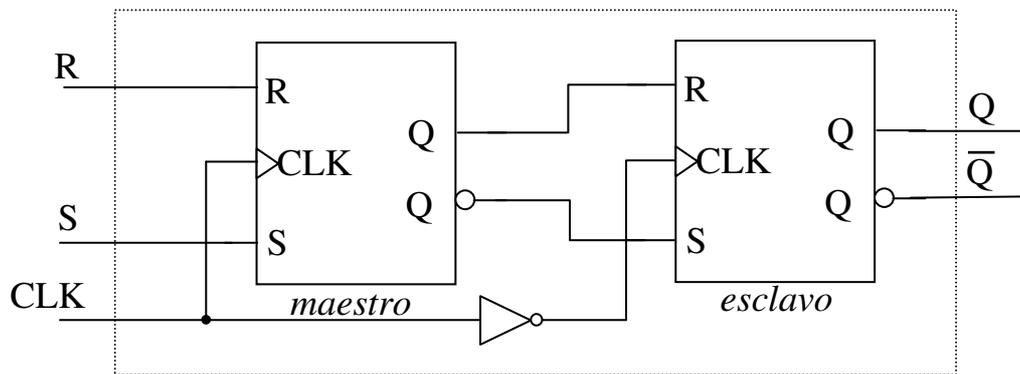


Master & Slave (*Maestro-Esclavo*)

La mayor parte de los sistemas digitales complejos operan con un sistema secuencial síncrono, lo que requiere un reloj maestro que envíe señales a todas las partes del sistema para coordinar la operación del mismo.

Los biestables que hemos visto transfieren la entrada a la salida cuando se lo indica el cambio en la señal de reloj. Ya hemos visto que están disparados por flancos de subida o de bajada.

Pero muchos biestables son dispositivos disparados por **pulsos**, denominándose **biestables maestro-esclavo**. Un *biestable maestro-esclavo* está formado por varias puertas y flips-flops conectados de manera que se usa el pulso completo de reloj (tiempo que el reloj está a nivel alto) para transmitir el dato de la entrada a la salida. Aquí se expone un ejemplo realizado con biestables RS:



La señal de reloj controla el *maestro*, se invierte y controla el *esclavo*.

Así, cuando CLK=1 (reloj alto) el maestro registra los datos presente en las entradas RS, permaneciendo inhibido el *esclavo*, por lo que no hay transferencia de información al mismo.

Con el reloj en nivel bajo (CLK=0) el maestro se inhibe, no hay modificaciones en sus salidas, y éstas actúan como entradas al esclavo, transfiriéndose su estado a la salida del mismo.

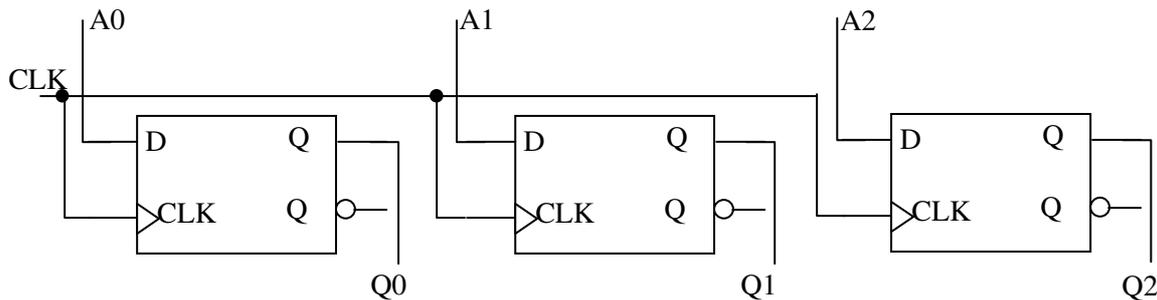
O sea, la entrada sólo se transfiere a la salida cuando ha terminado el pulso (como si fuera disparado por un flanco de bajada), pero se pueden detectar los cambios producidos en la entrada mientras que CLK=1.

REGISTROS DE DESPLAZAMIENTO

Registros

Una colección de dos o más biestables **D** con una entrada común se conoce como un *registro*. Los registros se usan para almacenar una serie de bits relacionados, como un byte (8 bits) de una computadora.

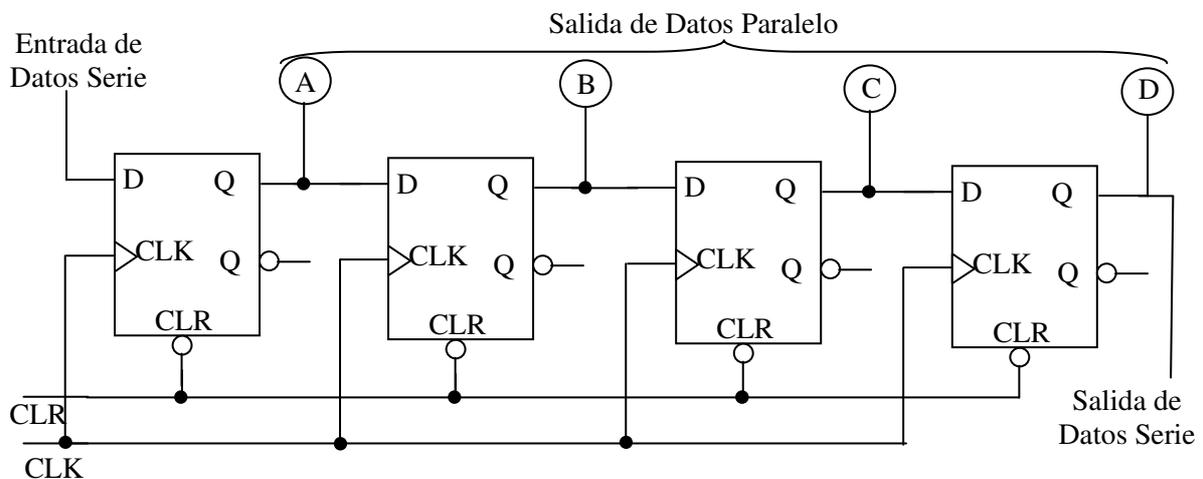
La figura muestra un registro de 3 bits. La palabra **A[0-2]** solo aparece en la salida **Q[0-2]**, si se produce el disparo del biestable, mediante el flanco de subida del reloj **CLK**:



Como vemos este circuito “registra” el dato de la entrada y lo transmite a la salida solo cuando se le da la orden. La transmisión del dato se hace de forma paralela.

Registros de Desplazamiento

Es un registro que ‘registra’ y ‘desplaza’ la información. La figura siguiente presenta un registro de desplazamiento a la derecha de 4 bits con carga serie:



Veamos el funcionamiento del circuito anterior:

La señal de borrado (**CLR**) coloca a los biestables en el estado **0**. Cada vez que llega un flanco de subida de la señal de reloj (**CLK**), cada biestable ‘captura’ lo que hay en su entrada, o sea, lo que hay en el biestable anterior, con lo que la información se va desplazando a la derecha.

Un ejemplo: Vamos a registrar y desplazar la palabra de 4 bits **0101**. Esta sería la secuencia de funcionamiento del circuito:

	Salidas
	ABCD
CLR = 0	0 0 0 0
CLR = 1 / 1 ^{er} Pulso de CLK	1 0 0 0
CLR = 1 / 2 ^o Pulso de CLK	0 1 0 0
CLR = 1 / 3 ^{er} Pulso de CLK	1 0 1 0
CLR = 1 / 4 ^o Pulso de CLK	0 1 0 1

La palabra **0101** ha sido cargada en el registro, de hecho la tenemos disponible en las salidas paralelo usando 4 pulsos de reloj. Para que tuviéramos toda la palabra disponible en la salida serie, debemos esperar 3 pulsos más:

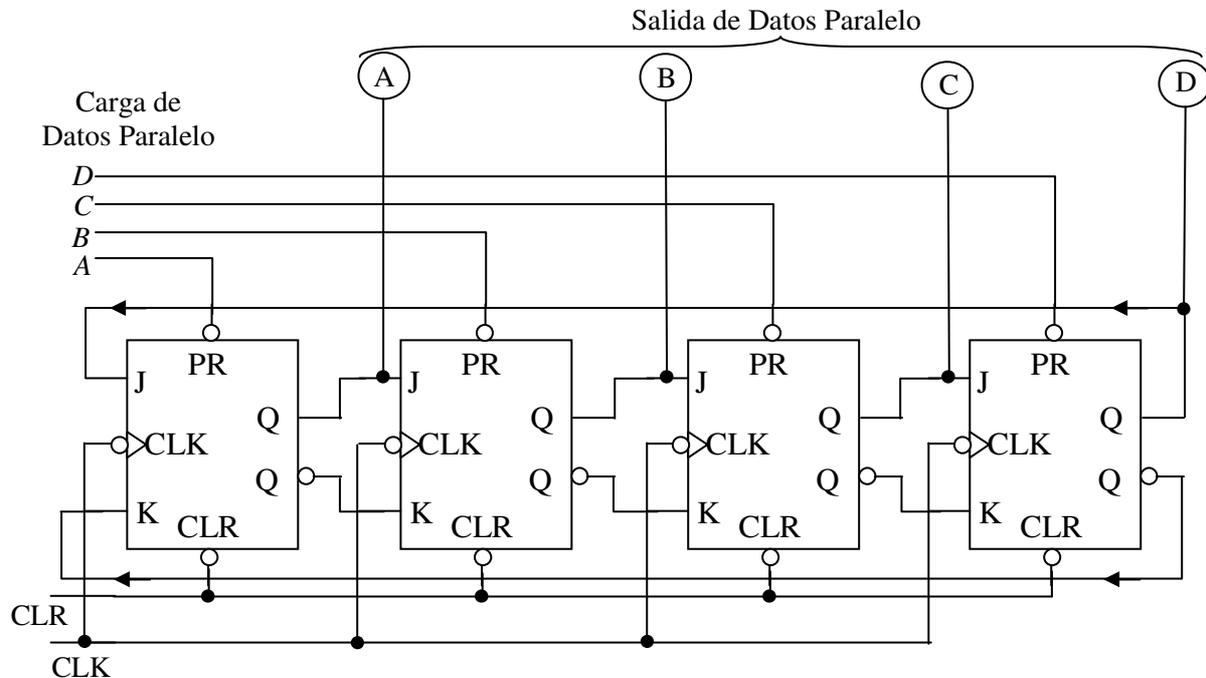
	Salidas Serie
	D
CLR = 1 / 4 ^o Pulso de CLK	1
CLR = 1 / 5 ^o Pulso de CLK	0
CLR = 1 / 6 ^o Pulso de CLK	1
CLR = 1 / 7 ^o Pulso de CLK	0

La palabra se ha cargado en el registro bit a bit, a esto se le denomina carga serie.

Registro de Desplazamiento con carga paralelo

Un registro de este tipo carga todos los bits al mismo tiempo, con lo que no es necesario esperar muchos pulsos de reloj para obtener la información.

El siguiente circuito es un registro de desplazamiento de 4 bits de carga paralelo y desplazamiento a la derecha:



Los datos se cargan por el PRESET de cada biestable (se trata de una entrada asíncrona). Veamos un ejemplo de cómo se realiza el registro y el desplazamiento de un dato.

Vamos a cargar la palabra **0110**:

Esta es la secuencia de funcionamiento

CLR = 0
 CLR = 1
 CLR = 1 / 1^{er} Pulso de CLK
 CLR = 1 / 2^o Pulso de CLK
 CLR = 1 / 3^{er} Pulso de CLK
 CLR = 1 / 4^o Pulso de CLK

Salidas

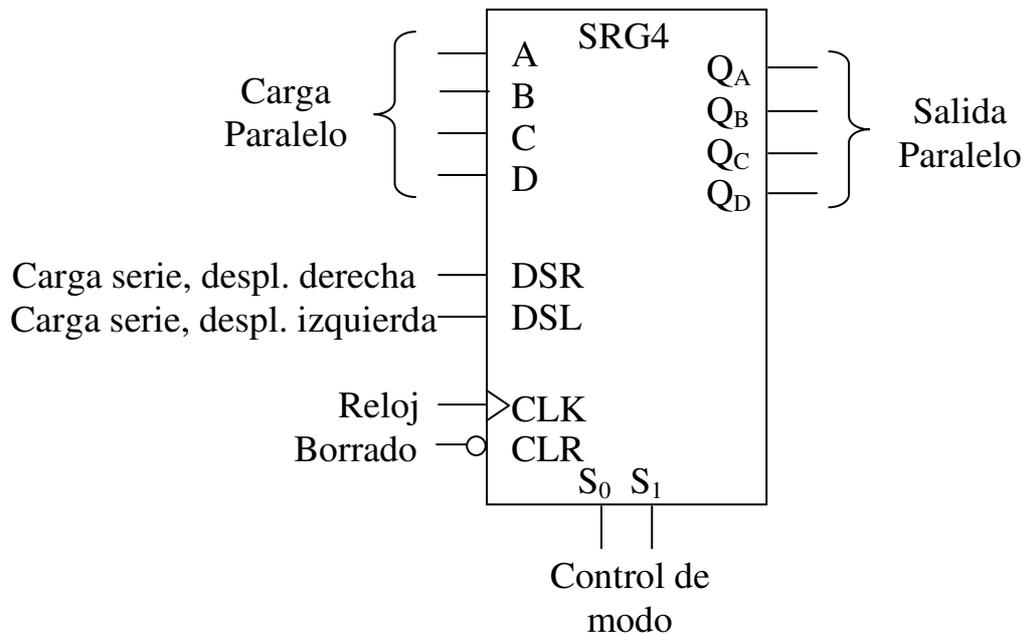
ABCD
0 0 0 0
0 1 1 0
0 0 1 1
1 0 0 1
1 1 0 0
0 1 1 0

Se puede observar, que el dato se carga de forma asíncrona, y que antes del primer pulso del reloj, el dato ya está registrado; lo que se hace de forma síncrona es el desplazamiento a la derecha. Como se ve, se produce una circulación de la palabra digital, de ahí que se conozcan estos registros como **recirculantes**.

Registro de Desplazamiento Universal

Se trata de un circuito integrado, que dispone de un registro de desplazamiento, que permite carga serie, carga paralela, desplazamiento a izquierda y a derecha, mediante el uso de unas señales de control.

La figura muestra un Registro de Desplazamiento Universal de 4 bits (74194).



Modo de operación	S ₀	S ₁
Mantenimiento	0	0
Despl. Izquierda	0	1
Despl. Derecha	1	0
Carga paralelo	1	1

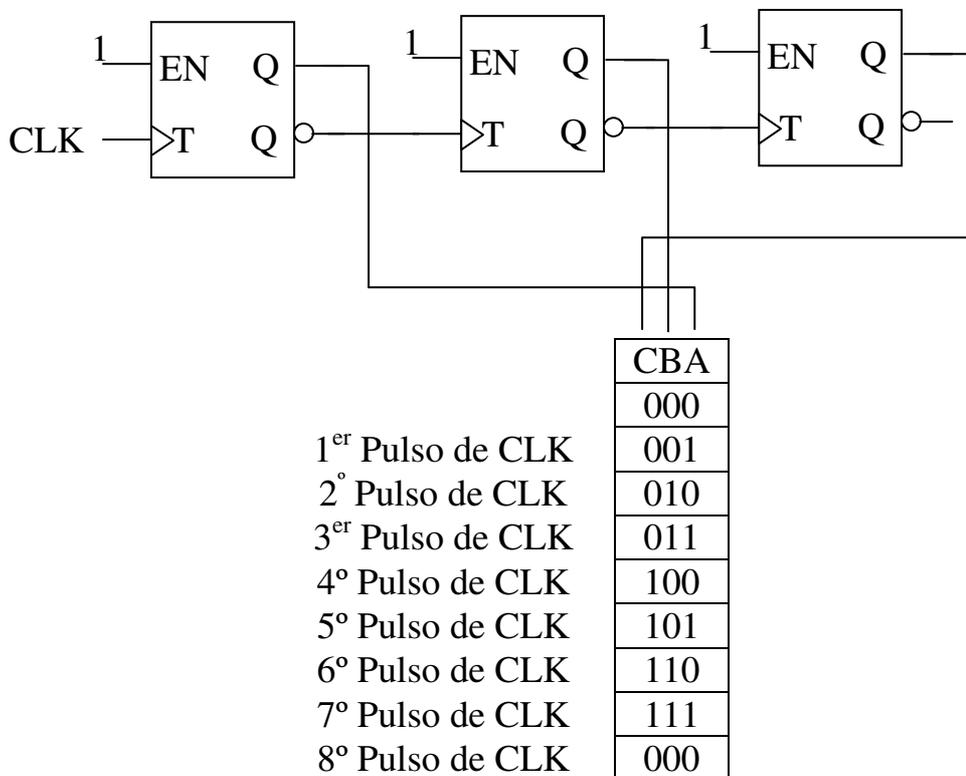
El funcionamiento de este dispositivo es similar a los descritos anteriormente; cabe hacer notar que cuando se selecciona la operación de desplazamiento a la derecha el bit que se carga (entrada: **DSR**) queda registrado en la posición A (salida: **Q_A**), mientras que si seleccionamos la operación de desplazamiento a la izquierda, el bit que se carga (entrada: **DSL**) queda registrado en la posición D (salida: **Q_D**).

CONTADORES

El nombre de contador se usa para designar cualquier circuito secuencial que cuente **m** estados en un solo ciclo de funcionamiento. El número **m** de estados que cuenta se conoce como **módulo** del contador. Nuestro interés se centrará en los contadores binarios, aquellos que realizan una cuenta en binario de un número determinado de estados.

Por ejemplo, veamos un contador de módulo-8 (**mod-8**)

Este circuito cuenta 8 estados, con lo que necesita 3 bits, a cada pulso de reloj, avanza en la cuenta de estados:



Se le suele llamar a este tipo de contador contador de rizado

Práctica 1

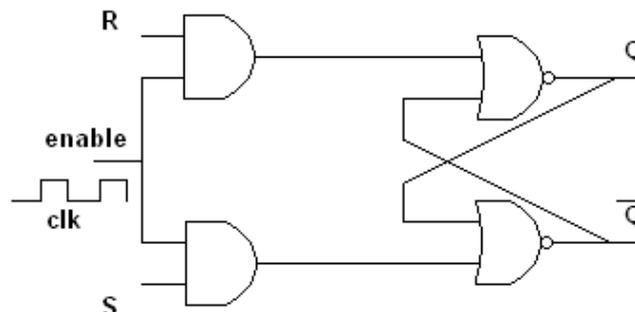
Sistemas secuenciales (I)

1 Objetivo

El objetivo de esta práctica consiste en una primera toma de contacto con el montaje de sistemas secuenciales utilizando para ello un entrenador lógico educacional. En esta ocasión, se va a utilizar el entrenador de electrónica digital ED-2000 como herramienta educacional para que el alumno se familiarice con los sistemas secuenciales, su análisis teórico, y su comprobación experimental.

2 Trabajo previo en casa

a) La siguiente figura muestra un ejemplo de configuración de un biestable RS asíncrono sensible a nivel en cuya señal de habilitación (enable) se ha conectado una onda cuadrada proveniente de una señal de reloj.



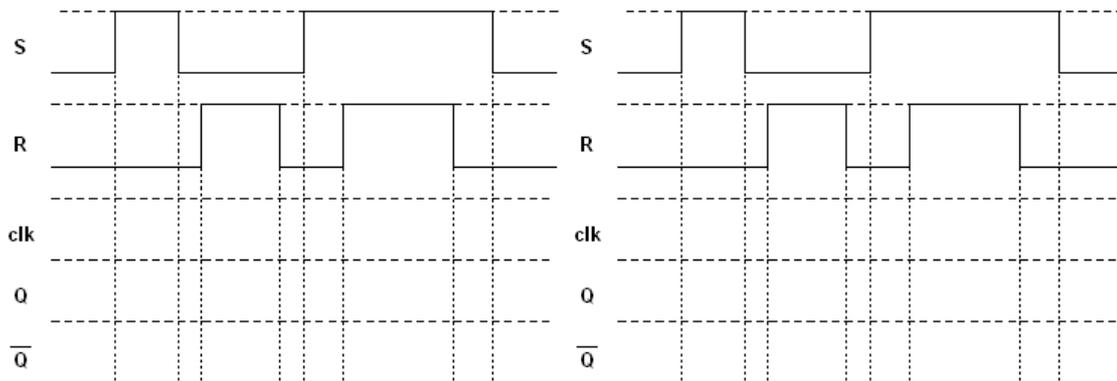
Completa la siguiente tabla a partir del esquema anterior y del funcionamiento básico de los biestables SR.

ENTRADAS				SALIDAS
R	S	Clk	Q(n)	Q(n+1)
L	L	L	L	
L	L	L	H	
L	L	H	L	
L	L	H	H	
L	H	L	L	
L	H	L	H	
L	H	H	L	
L	H	H	H	
H	L	L	L	
H	L	L	H	
H	L	H	L	
H	L	H	H	
H	H	L	L	
H	H	L	H	
H	H	H	L	
H	H	H	H	

b) En muchas ocasiones, es común ver diseños de biestables de un tipo implementados a partir de otro/s biestables cuyo tipo es completamente distinto. Plantea el diseño de un biestable tipo D a partir de biestables de tipo JK. A continuación, realiza el mismo planteamiento pero implementando un biestable de tipo JK a partir de biestables de tipo D.

3 Trabajo de laboratorio

- a) Utilizando el entrenador lógico ED-2000 monta el circuito asíncrono propuesto en el apartado 2a. Emplea para ello dos puertas NOR y dos AND. Las entradas de las variables R y S se tomarán de los conmutadores 1 y 2 y el reloj del pulsador del flanco de subida. Las salidas Q(n) y Q(n)* se llevarán a los led 1 y 2
- b) Aplica sucesivamente las variables R y S mediante los conmutadores citados y después presiona en cada ocasión el pulsador para introducir un estado alto en cada entrada de reloj "clk". Anota y verifica los resultados teóricos que preparaste como trabajo previo en casa
- c) Los siguientes cronogramas muestran la misma evolución temporal de las entradas S y R para el circuito anterior. Haciendo variar a tu criterio el valor de la señal "clk" demuestra que es posible obtener diferentes valores de Q(n) y Q(n)* para las mismas entradas S y R.



- d) Experimenta el funcionamiento lógico de un biestable JK síncrono con entradas de Preset (puesta a uno) y Clear (llamada también reset o puesta a cero) empleando para ello el dispositivo que tiene el panel frontal del entrenador. Este biestable utiliza las entradas auxiliares **P** y **C** (activas a nivel bajo) para la puesta a uno y a cero, las cuales se utilizan en las aplicaciones reales para inicializar el biestable a un estado conocido, evitando la incertidumbre que se produce al conectar la alimentación al circuito. Conexiona adecuadamente el biestable JK al entrenador con la siguiente asignación de terminales:

ENTRADAS	SALIDAS
J= Conmutador 1	Q(Terminal superior) = Led nº 1
K= Conmutador 2	Q(Terminal inferior) = Led nº 2
C= Conmutador 3	

P=	Conmutador 4	
clk=	Pulsador de flancos de bajada	

- e) Demuestra exhaustivamente bajo que condiciones el estado $Q(n)$ del biestable JK no varía.
- f) Aplica los valores para las variables que indica el siguiente cuadro y anota los resultados que corresponden con al funcionamiento lógico de este dispositivo digital.

ENTRADAS					SALIDAS	
PR*	CLR*	Clk	J	K	Qn+1	Qn+1*
L	H	X	X	X		
H	L	X	X	X		
L	L	X	X	X		
H	H		L	L		
H	H		H	L		
H	H		L	H		
H	H		H	H		

- g) Utilizando el entrenador lógico, monta los biestables JK y D que fueron propuestos en el apartado 2b. Emplea el conmutador 1 para alimentar la única entrada del biestable D. En el caso del biestable JK, el valor de sus entradas se tomará utilizando los conmutadores 1 y 2. Para ambos biestables, las salidas $Q(t)$ y $Q(t)^*$ se mostrarán utilizando los leds 1 y 2. La señal de reloj se tomará a partir del circuito generador de onda de frecuencia variable que incorpora el entrenador lógico.

5 Presentación de resultados

Al finalizar la práctica, se presentarán un **par de hojas como máximo** con la contestación a todas las preguntas formuladas en este boletín de prácticas.